

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05048117 A**

(43) Date of publication of application: **26.02.93**

(51) Int. Cl. **H01L 29/804**

(21) Application number: **03231007**

(22) Date of filing: **19.08.91**

(71) Applicant: **NISSAN MOTOR CO LTD**

(72) Inventor: **MURAKAMI YOSHINORI
MIHARA TERUYOSHI**

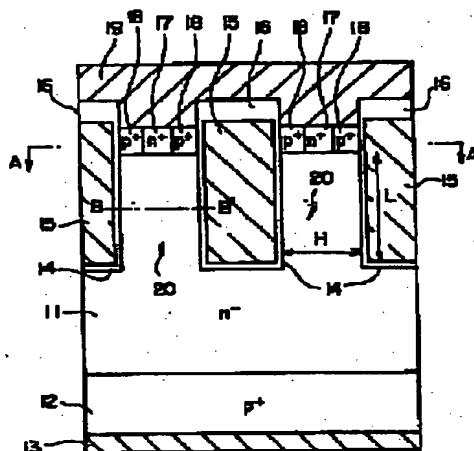
**(54) ELECTROSTATIC INDUCTION SEMICONDUCTOR
DEVICE**

(57) Abstract

PURPOSE: To provide an electrostatic induction semiconductor device which can be quickly turned off and, at the same time, can protect a gate insulating film from an excessively high drain voltage when the device is turned off.

CONSTITUTION: A contact area 18 having a high-impurity concentration and second type conductivity is formed adjacent to a gate insulating film 14 on the surface of the drain area 11 of an electrostatic induction semiconductor device and the area 18 and a source area 17 are commonly connected to a source electrode 19. Or, at least part of the drain area 11 is directly brought into contact with the source electrode 19 and a Schottky junction 25 is formed between the contact surfaces of the area 11 and electrode 19.

COPYRIGHT: (C)1993,JPO&Japio



[0013]

Fig. 1 is a cross sectional view of an electrostatic induction thyristor, which is a first embodiment of an electrostatic induction device according to the present invention. In Fig. 1, a reference numeral 11 denotes an n- type drain region, and a reference numeral 12 denotes a p+ type drain region. A drain electrode 13 is formed on a rear surface of the p+ type drain region.

[0014]

Plural grooves each of which has a surface perpendicular to a depth direction of the n- type drain region 11 are formed on a surface of the n- type drain region 11. A gate insulating film 14 is formed on an interior surface of each of these grooves. Also, a reference numeral 15 denotes a gate electrode formed inside the gate insulating film 14, a reference numeral 16 denotes an interlayer insulating film formed on the surface of the gate electrode 15. Accordingly, an insulating gate of the thyristor according to the embodiment is buried in the surface of the n- type drain region 11. The insulating gate is constituted by the gate electrode 15 and the gate insulating film 14.

[0015]

A reference numeral 17 denotes an n+ type source region formed on a surface of a portion of the n- type drain region 11 between the gate insulating films 14 that are adjacent to each other. A reference numeral 18 denotes a p+ type contact region formed on a surface of a portion of the n- type drain region 11 between the n+ type source region 17 and the gate insulating film 14. In the embodiment, the n+ type source region 17 and the gate insulating film 14 do not directly contact each other, and they contact each other through the p+ type contact region 18.

[0016]

A reference numeral 19 denotes a source electrode. This source electrode 19 is formed so as to contact all of the surface of the n+ type source region 17 and the surface of the p+ type contact region 18.

[0017]

The concentration of impurity in the n+ type source region 17 is set to a value which is equal to or higher than $5 \times 10^{19} \text{ cm}^{-3}$. The n+ type source region 17 is

ohmically connected to the source electrode 19. Also, the P+ contact region 18 is ohmically connected to the source electrode 19. In the following description, the n-type drain region 11 between the gate insulating films 14 that are adjacent to each other will be referred to as "a channel region" 20 of the semiconductor device according to the embodiment, a reference letter H will denote a distance between the gate insulating films 14 that are adjacent to each other, a reference letter L will denote a depth from a bottom portion of the n+ type source region 17 to a bottom portion of the gate electrode 15, and the distance L will be referred to as "a channel length" of the semiconductor device according to the embodiment.

[0018]

Next, operation of the electrostatic thyristor according to the embodiment will be described. First, the source electrode 19 is grounded, positive voltage is applied to the drain electrode 13. In order to turn the thyristor off, low negative voltage is applied to the gate electrode 15. Since the potential of the gate electrode 15 is set to low negative potential, a depletion layer is formed in the n- type drain region 11 at a portion in the vicinity of the gate insulating film 14. This depletion layer depletes the aforementioned channel region 20, which interrupts an electric current passage between the n+ type source region 17 and the p+ type drain region 13. As a result, the thyristor is turned off.

[0019]

While there is the depletion layer in the vicinity of the gate insulating film 14, an inversion layer is formed on the surface of the gate insulating film 14 due to positive holes. Since the inversion layer contacts the p+ type contact region 18 on the surface of the n- type drain region 11, the potential of the inversion layer is maintained at a constant value, which is the same as the potential of the p+ type contact region 18, and accordingly the potential of the source electrode 19.

[0020]

Next, in order to turn the thyristor on, positive voltage is applied to the gate electrode 15, and an accumulation layer is formed in the vicinity of the gate insulating film 14 due to electrons, instead of the inversion layer that is formed due to positive holes. Thus, the electrons conducted from the n+ type source region 17 flows from the bottom portion of the gate insulating film 14 to the n- type drain region 11 through the accumulation layer in the vicinity of the gate insulating film 14. As a result, the

thyristor is turned off. Therefore, drift resistance in the channel region 20 becomes negligible while the thyristor is on.

[0021]

Thus, when the thyristor is turned on, and the conduction electrons are emitted from the n+ type source region 17 to the n- type drain region 11, the positive holes are emitted from the p+ type drain region 12 to the n- type drain region 11, and the n- type drain region 11 is brought into a high level injection state. As a result, the conductivity of the n-type drain region 11 is modulated, and the resistivity thereof is significantly reduced.

[0022]

Further, in order to turn the thyristor off again, low negative voltage is applied to the gate electrode again, and the inversion layer is formed in the vicinity of the gate insulating film 14, due to the positive holes instead of the accumulation layer that is formed due to the electrons. Immediately after the negative voltage is applied, the n-type drain region 11 is in the high level injection state, and there are a large number of positive holes in the n- type drain region 11 in the vicinity of the n+ type source region 17. However, this region also contacts the p+ type contact region 18, and the positive holes flows quickly to the source electrode 19 through the inversion layer in the vicinity of the gate insulating film 14 and the p+ type contact region 18. Therefore, the n- type drain region 11 in the vicinity of the n+ type source region 17 is quickly brought out of the high level injection state. Thus, a depletion layer is formed in the channel region 20, and the electric passage between the p+ type drain region 13 and the n- type source region 17 is interrupted. As a result, the thyristor is turned off.

[0041]

Fig. 11 is a cross sectional view of an electrostatic induction thyristor which is a third embodiment of the electrostatic induction semiconductor device according to the present invention. In the embodiment, the n- type drain region 11 and the source electrode 19 directly contact each other, instead of providing the p+ type contact region 20, and Schottky junction is formed therebetween.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-48117

(43)公開日 平成5年(1993)2月26日

(51)Int.Cl.⁴

H 0 1 L 29/804

識別記号

庁内整理番号

7739-4M

F I

H 0 1 L 29/ 80

技術表示箇所

A

審査請求 未請求 請求項の数 2 (全 9 頁)

(21)出願番号 特願平3-231007

(22)出願日 平成3年(1991)8月19日

(71)出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72)発明者 村上 善則

神奈川県横浜市神奈川区宝町2番地 日産
自動車株式会社内

(72)発明者 三原 輝儀

神奈川県横浜市神奈川区宝町2番地 日産
自動車株式会社内

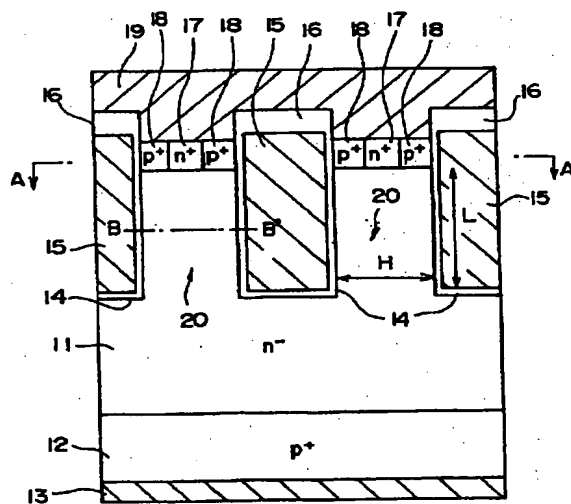
(74)代理人 弁理士 永井 冬紀

(54)【発明の名称】 静電誘導半導体装置

(57)【要約】

【目的】 素速いターンオフが可能で、しかも遮断時において過大なドレイン電圧からゲート絶縁膜を保護することの可能な静電誘導半導体装置を提供する。

【構成】 静電誘導半導体装置のドレイン領域11の表面に、ゲート絶縁膜14に接する不純物濃度の高い第二導電型の半導体からなるコンタクト領域18を形成し、ソース領域17およびコンタクト領域18をそれぞれ前記ソース電極19に共通に接続した。あるいは、前記ドレイン領域11の少なくとも一部をソース電極19に直接接触させてこれらの接触面にショットキー接合25を形成した。



11: n⁻型ドレイン領域 17: n⁺型ソース領域
13: ドレイン電極 18: p⁺型コンタクト領域
14: ゲート絶縁膜 19: ソース電極
15: ゲート電極 20: チャネル領域

【特許請求の範囲】

【請求項1】 第一導電型の半導体からなるドレイン領域と、

このドレイン領域の表面にU字形に掘り込まれた溝に埋設された絶縁ゲートと、

前記ドレイン領域の表面に形成されソース電極とオーミック接続された第一導電型のソース領域とを備えた静電誘導半導体装置において、

前記ドレイン領域の表面に形成され、前記絶縁ゲートの絶縁膜に接し、前記ソース電極とオーミック接続された第二導電型のコンタクト領域を備えたことを特徴とする静電誘導半導体装置。

【請求項2】 第一導電型の半導体からなるドレイン領域と、

このドレイン領域の表面にU字形に掘り込まれた溝に埋設された絶縁ゲートと、

前記ドレイン領域に接して形成されソース電極とオーミック接続された第一導電型のソース領域とを備えた静電誘導半導体装置において、

前記ドレイン領域の少なくとも一部が前記ソース電極に直接接触してこれらの接触面にショットキー接合が形成されていることを特徴とする静電誘導半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は絶縁ゲート型静電誘導半導体装置に関する。

【0002】

【従来の技術】従来から供用されている静電誘導トランジスタ(SIT)等の静電誘導半導体装置の多くは、そのゲートが接合ゲートであった。しかしながら、接合ゲートを用いた静電誘導半導体装置はターンオフ時の消費電流が大きいという問題があり、ゲート駆動電力低減の目的で、絶縁ゲートを用いた形式の静電誘導半導体装置が提案されている(特開昭55-99774号公報)。

【0003】図13は、特開昭55-99774号公報に開示された絶縁ゲート型の静電誘導半導体装置の一例を示す図であって、バイポーラ動作する静電誘導サイリスタを示す断面図である。図13において、1はn⁻型ドレイン領域、2はp⁺型ドレイン領域であり、これら

n⁻型ドレイン領域1とp⁺型ドレイン領域2との間にはn⁺型ドレイン領域3が介在されている。4は半導体装置裏面のp⁺型ドレイン領域2に接して形成されたドレイン電極である。5はゲート絶縁膜、6はこのゲート絶縁膜5上に形成されたゲート電極である。7はn⁺型ソース領域、8はn⁺型ソース領域7上に形成されたソース電極であり、このn⁺型ソース領域7はn⁻型ドレイン領域1の表面に形成されている。図13に示す例では、それぞれのn⁺型ソース領域7間のn⁻型ドレイン領域1に溝が形成され、ゲート絶縁膜5はこの溝の内面に形成されている。

【0004】次にこの装置の動作について説明する。図13において、ソース電極8は接地、ドレイン電極4は正の電圧を印加される。ゲート電極6に所定の負の電圧を印加すると、n⁺型ソース領域7周辺のn⁻型ドレイン領域1に空乏層が形成され、n⁺型ソース領域7とp⁺型ドレイン領域2との間の電流路が遮断され、サイリスタはオフ状態になる。一方、ゲート電極6に電圧を印加しない、または正の電圧を印加すると、n⁺型ソース領域7の周辺に展開していた空乏層はなくなり、サイリスタはオン状態になる。

【0005】なお、図13に示す例において、n⁺型ドレイン領域3は、不純物濃度の低いn⁻型ドレイン領域1において空乏層がp⁺型ドレイン領域2まで伸長してパンチスルー現象を生ずるのを防止し、かつ、p⁺型ドレイン領域2からn⁻型ドレイン領域1への少数キャリアの注入を制御する機能を有している。

【0006】

【発明が解決しようとする課題】しかしながら、上述した従来の絶縁ゲート型の静電誘導半導体装置においては、装置がオン状態においてゲート絶縁膜5周辺のn⁻型ドレイン領域1にp⁺型ドレイン領域2から多量の少数キャリアが注入されており、このゲート絶縁膜5周辺のn⁻型ドレイン領域1は高水準注入状態にある。

【0007】接合ゲート型の静電誘導半導体装置においては、ゲート周辺に存在する多量の少数キャリアをゲート電極から直接引き抜くことによりドレイン領域内のキャリア密度を短時間に低下させることができ、ターンオフまでの時間を短くすることが可能であるが、絶縁ゲート型の静電誘導半導体装置においては、絶縁ゲート5を介してこの絶縁ゲート5の周辺に存在する多量の少数キャリアを逃すことができないので、このため、これら少数キャリアの行き場がないために少数キャリアがn⁻型ドレイン領域1内で自然消滅するのを待つしかない。従って、絶縁ゲート型の静電誘導半導体装置では、ターンオフまでの時間が長くなり、消費電力のロスにつながるという問題があった。

【0008】また、静的なオフ状態においても、ドレイン電極に高電圧が印加された場合ゲート絶縁膜7周辺の空乏層内で対発生した少数キャリアによりこのゲート絶縁膜7の周辺に反転層が形成され、空乏層が伸びずにドレイン電圧がゲート絶縁膜7にかかりゲート絶縁膜7が破壊されるおそれがある、という問題もあった。この現象は、ドレイン領域2がn⁺型領域からなるユニポーラ動作の静電誘導トランジスタにおいても同様に発生する。

【0009】本発明の目的は、上記のような従来技術の問題点を解決するためになされたものであり、素速いターンオフが可能で、しかも遮断時において過大なドレイン電圧からゲート絶縁膜を保護することの可能な静電誘導半導体装置を提供することにある。

【0010】

【課題を解決するための手段】一実施例を示す図1および図11に対応付けて説明すると、本発明は、第一導電型の半導体からなるドレイン領域11と、このドレイン領域11の表面にU字形に掘り込まれた溝に埋設された絶縁ゲート(14、15)と、前記ドレイン領域11の表面に形成されソース電極19とオーミック接続された第一導電型のソース領域17とを備えた静電誘導半導体装置に適用される。そして、請求項1の発明は、前記ドレイン領域11の表面に、前記絶縁ゲート(14、15)に接し、前記ソース電極19とオーミック接続された第二導電型のコンタクト領域18を形成することにより、上述の目的を達成している。また、請求項2の発明は、前記ドレイン領域11の少なくとも一部を前記ソース電極19に直接接触させてこれらの接触面にショットキー接合25を形成することにより、上述の目的を達成している。

【0011】

【作用】静電誘導半導体装置の遮断状態においてゲート絶縁膜14近傍のドレイン領域11に形成される反転層は、このドレイン領域11の表面に形成されたコンタクト領域18あるいはショットキー接合25を介してソース電極19に接続されている。従って、この反転層の電位は常にソース電極19と同一の電位に固定されている。また、バイポーラ動作をさせるべくドレイン領域11とドレイン電極13との間に第二導電型の領域12を挟んだ場合、伝導度変調状態から遮断状態へと移行するターンオフ時にソース領域17近傍のドレイン領域11内に存在する大量の少数キャリアは、遮断状態にすべくゲート電極15に印加された負電圧により生じられるゲート絶縁膜14近傍の反転層を経て、ドレイン領域11表面のコンタクト領域18あるいはショットキー接合25を介してソース電極19へと流れ込む。このため、ソース領域17近傍のドレイン領域11が速やかに空乏化され、素早いターンオフが実現される。

【0012】なお、本発明の構成を説明する上記課題を解決するための手段と作用の項では、本発明を分かり易くするために実施例の図を用いたが、これにより本発明が実施例に限定されるものではない。

【0013】

【実施例】-第1実施例-

図1は、本発明による静電誘導半導体装置の第1実施例である静電誘導サイリスタを示す断面図である。図1において、11はn⁻型ドレイン領域、12はp⁺型ドレイン領域であり、このp⁺型ドレイン領域12の裏面にはドレイン電極13が形成されている。

【0014】n⁻型ドレイン領域11の表面には、このn⁻型ドレイン領域11の深さ方向に沿って垂直な面を有する複数の溝が形成され、これら溝の内面にゲート絶縁膜14が形成されている。また、15はこのゲート絶

縁膜14内に形成されたゲート電極、16はゲート電極15の表面に形成された層間絶縁膜である。従って、本実施例のサイリスタの絶縁ゲートは、n⁻型ドレイン領域11の表面に埋設された構成になっている。ゲート電極15とゲート絶縁膜14により絶縁ゲートが構成される。

【0015】17は相隣り合うゲート絶縁膜14の間に相当するn⁻型ドレイン領域11の表面に形成されたn⁺型ソース領域である。18は、これらn⁺型ソース領域17とゲート絶縁膜14との間に相当するn⁻型ドレイン領域11の表面に形成されたp⁺型コンタクト領域である。本実施例では、このn⁺型ソース領域17とゲート絶縁膜14とは直接に接することではなく、p⁺型コンタクト領域18を介して接するように構成されている。

【0016】19はソース電極であり、このソース電極19は、全てのn⁺型ソース領域17およびp⁺型コンタクト領域18の表面に接するように形成されている。

【0017】n⁺形ソース領域17の不純物濃度は例えば $5 \times 10^{18} \text{ cm}^{-3}$ 以上の値に設定され、ソース電極19とオーミック接続されている。またp⁺型コンタクト領域18もソース電極19とオーミック接続されている。なお、以下の説明において、相隣り合うゲート絶縁膜14間に挟まれたn⁻型ドレイン領域11を本実施例の半導体装置の「チャネル領域」20と称し、相隣り合うゲート絶縁膜14間の距離をH、n⁺型ソース領域17底部からゲート電極15底部までの深さをLとし、この距離Lを本実施例の半導体装置の「チャネル長」と称する。

【0018】次に、本実施例の静電誘導サイリスタの動作について説明する。まずソース電極19を接地し、ドレイン電極13に正の電圧を印加する。そしてサイリスタをオフ状態にするには、ゲート電極15に負の低電圧を印加する。ゲート電極15が低い負電位に設定されることにより、ゲート絶縁膜14周辺のn⁻型ドレイン領域11に空乏層が形成され、この空乏層が上述のチャネル領域20を空乏化してn⁺型ソース領域17とp⁺型ドレイン領域13との間の電流路が遮断され、サイリスタはオフ状態になる。

【0019】この際、空乏層の存在するゲート絶縁膜14の表面には正孔による反転層が形成されるが、この反転層は、n⁻型ドレイン領域11の表面においてp⁺型コンタクト領域18に接しているため、反転層の電位はこのp⁺型コンタクト領域18、ひいてはソース電極19と同電位であって一定に保持される。よって、前述したゲート電極15に印加すべき電圧は、電位が一定に保持された反転層を形成するために必要な負の電圧であればよく、それ以上の過大な負電圧を印加する必要はない。

【0020】次に、サイリスタをターンオンするには、ゲート電極15に正の電圧を印加し、ゲート絶縁膜14周辺に正孔による反転層に代えて電子による蓄積層を形成する。これにより、n⁺型ソース領域17からの伝導

10

30

40

50

電子は、ゲート絶縁膜14周辺の蓄積層を通過してこのゲート絶縁膜14の底部からn⁻型ドレイン領域11へと流れてサイリスタはオン状態になる。このため、オン状態におけるチャネル領域20のドリフト抵抗は殆ど無視しうる程度に小さくなる。

【0021】このように、サイリスタがオン状態となり、n⁻型ソース領域17からn⁻型ドレイン領域11に伝導電子が放出されると、p⁺型ドレイン領域12からもn⁻型ドレイン領域11に正孔が放出され、このn⁻型ドレイン領域11は高水準注入状態となって伝導度変調され、抵抗率が格段に低下する。

【0022】さらに、サイリスタをターンオフするには、ゲート電極に再度負の低電圧を印加し、ゲート絶縁膜14周辺に電子による蓄積層に代えて正孔による反転層を形成する。負の電圧を印加した直後においては、n⁻型ドレイン領域11は高水準注入状態にあり、n⁻型ソース領域17周辺のn⁻型ドレイン領域11には多数の正孔が存在する。しかし、この領域はp⁺型コンタクト領域18とも接しており、ゲート絶縁膜14近傍の反転層およびp⁺型コンタクト領域18を通して正孔はソース電極19へと速やかに流れるので、n⁻型ソース領域17周辺のn⁻型ドレイン領域11における高水準注入状態は速やかに解消される。これにより、チャネル領域20に空乏層が形成されてp⁺型ドレイン領域13とn⁻型ソース領域17との間の電流路が遮断され、サイリスタはオフ状態になる。

【0023】次に、ゲート絶縁膜14間の距離Hの条件について説明する。本実施例のサイリスタがオフ状態であるときにこのサイリスタ内の電流路を遮断するためには、一定の条件が必要である。図2は、チャネル長Lに直交する方向に沿った、図1におけるB-B'間の領域におけるエネルギー・バンドを示す図である。図2において、右側に離れて示されたバンドはソース電極19と同電位に固定されたp⁺型コンタクト領域18のものであり、ゲート絶縁膜14のポテンシャルはこのバンドと一致している。また、各バンドの中央の破線はミッドギャップの位置を示し、E_gはバンドギャップ・エネルギーである。

【0024】電流路を遮断するためには、チャネル領域20が完全に空乏化されていなければならない。すなわち、図2(a)に示すように、チャネル領域20の中心部において、導電帯下端のポテンシャルがn⁻型ソース領域17のフェルミ準位E_Fから少なくともE_g/2だけ上になければならない。もし、図2(b)に示すように、チャネル領域20での導電帯下端のポテンシャルにE_g/2より低い部分があると、この領域は完全に空乏化することができないので、かなりの漏れ電流がチャネル領域20を流れてしまい、電流路の遮断が十分に達成されない。

【0025】図2(a)に示す遮断条件を満足するための

ゲート絶縁膜14間の距離Hは、次式の条件で表される。

【数1】

$$\frac{q \cdot N_D}{2 \cdot \epsilon_{si}} \left(\frac{H}{2} \right)^2 < \phi_{p^+}$$

ここに、qは素電荷、N_Dはチャネル領域20のドナー濃度、ε_{si}はシリコンの誘電率、φ_{p⁺}はp⁺型コンタクト領域18におけるフェルミ準位から測ったミッドギャップのポテンシャルである。一例として、N_D=5×10¹⁷ cm⁻³、φ_{p⁺}=0.56 eVとすると、H=(約)2.47 μmとなる。このHの数値は、現在のフォト・エッチング技術からすれば高度な技術ではないといえる。

【0026】さらに、チャネル長Lの条件について説明する。もし、本実施例の静電誘導サイリスタをいわゆる五極管特性の素子にする場合は、チャネル領域20を挟む絶縁ゲートの側面は素子の表面に対して可能な限り垂直であることが望ましく、さらにチャネル長Lについても一定の条件を満足しなければならない。

【0027】チャネル領域20が絶縁ゲートによる電界によって空乏化されていても、n⁻型ソース領域18近傍のチャネル領域20ではこのn⁻型ソース領域18の影響によりポテンシャルが曲げられている。この効果は、チャネル長Lの方向（つまり垂直方向）におよそ距離H位まで及ぶことが数値計算（シミュレーション）により明らかになっている。このような現象は、p⁺型ドレイン領域12に近い部分（つまりゲート絶縁膜14底部付近）のチャネル領域20についても同様に起こる。

【0028】すなわち、チャネル領域20を挟む絶縁ゲートの側壁が垂直面に形成され、このチャネル領域20の至るところにおいてゲート絶縁膜14間の距離Hが一定である場合、L/Hが2以下ではドレイン電圧が高くなるとドレイン電界の影響の及ぶ範囲とn⁻型ソース領域18による影響の及ぶ範囲とがつながり、素子の電流-電圧特性は三極管特性になる。逆に、L/Hがおおよそ2以上であれば、ドレイン電圧がいくら高くなってもドレイン電界の影響が及ぶ範囲がn⁻型ソース領域18による影響の及ぶ範囲とつながることがなく、素子の電流-電圧特性は五極管特性になる。これら三極管特性、五極管特性の臨界値はチャネル領域20の不純物濃度や幾何学的構造によって定まるが、五極管特性の素子を実現するには現実的な値としてL/Hが3以上であることを要する。

【0029】もし、図3に示すように、絶縁ゲートの側壁が垂直面に形成されておらず、絶縁ゲートの底部に向うに連れてゲート絶縁膜14間の距離Hが大きくなる、すなわち末広がりに形成されていると、絶縁ゲートの側壁が垂直面に形成されている場合に比較してドレイン電界による影響の及ぶ範囲はさらにチャネル領域20内部にまで広がる。図3に示すように、チャネル領域20の

ソース領域18側の端部におけるゲート絶縁膜14間の距離を H_1 、ドレイン領域12側の端部におけるゲート絶縁膜14間の距離を H_2 とすれば、五極管特性の素子を実現するためには $L > H_1 + H_2$ の条件を満足しなければならない。

【0030】このように、五極管特性の素子を実現するためには、チャネル領域20を挟む絶縁ゲートの側壁は素子の表面に対して可能な限り垂直であることが望ましく、さらにチャネル長 L についても一定の条件(現実的な値として $L/H > 3$)を満足しなければならないことが理解できる。

【0031】以上のような構成の静電誘導サイリスタは、一例として図4～図8に示す工程により製造される。まず、図4に示すように、 p^+ 型基板(ドレイン領域)12上に所定厚および所定の不純物濃度を有する n^- 型エピタキシャル層(ドレイン領域)11を成長させ、この n^- 型エピタキシャル層11の表面に、側壁が n^- 型エピタキシャル層11の表面にほぼ垂直な溝領域を形成し、この溝領域の内面にゲート絶縁膜14を形成するとともに、このゲート絶縁膜14内にゲート電極15を形成してその表面に層間絶縁膜16を形成することによって、溝領域内に絶縁ゲートを埋設する。

【0032】次に、図5に示すように、絶縁ゲート以外の n^- 型エピタキシャル層11の表面を数千Åの深さだけエッチングにより除去し、エッチングされた表面に p^+ 型コンタクト領域18形成用の不純物をイオン注入する。

【0033】次に、図6に示すように、エッチングにより露出されたゲート絶縁膜14および層間絶縁膜16の側壁部に Si, N からなるサイドウォール部21を形成する。このサイドウォール部21は、エッチングされた n^- 型エピタキシャル層11の表面全体に、その膜厚がいたるところで均一な5000Å程度の Si, N 膜を堆積し、異方性エッチングにより除去することにより形成される。

【0034】さらに、図7に示すように、サイドウォール部21をマスクとして n^- 型ドレイン領域11の表面を2000Å程度の深さだけエッチングにより除去した後、 n^+ 型ソース領域17形成用の不純物をイオン注入する。

【0035】そして、図8に示すように、表面に Si, N 膜22を2000Å程度堆積し、窒素雰囲気中において1000℃、20分程度のアニーリングを行い、イオン注入した不純物を活性化させて n^+ 型ソース領域17および p^+ 型コンタクト領域18を形成する。その後、熱リン酸により表面の Si, N 膜22を除去し、表面にソース電極19を形成すれば、図1に示すような構造の静電誘導サイリスタを得ることができる。

【0036】以上説明したように、本実施例の静電誘導サイリスタには、ゲート絶縁膜14およびソース電極1

9の双方に接する p^+ 型コンタクト領域18が設けられているので、ターンオフ時において n^+ 型ソース領域17近傍の n^- 型ドレイン領域11に存在する多数の正孔を、ゲート絶縁膜14近傍の反転層および p^+ 型コンタクト領域18を介してソース電極19に流すことができ、素速いターンオフが実現できて消費電力の低減を図ることができる。また、静的なオフ状態においてゲート絶縁膜14近傍に形成される反転層もこの p^+ 型コンタクト領域18に接しているので、反転層の電位が p^+ 型コンタクト領域18、ひいてはソース電極19の電位と同一の電位に固定される。これにより、ドレイン電極に高電圧が印加された場合でもゲート絶縁膜14にかかる電圧が一定に保持されて従来のような絶縁膜14の静電破壊といった事態を避けることができる。

【0037】-第1実施例の変形例-

上述の第1実施例においては、 n^+ 型ソース領域17とゲート絶縁膜14の側面とが直接接していないが、その一部で接触していてもよい。すなわち、図9に示すように、 n^+ 型ソース領域17とゲート絶縁膜14との境界部に所定間隔をおいて p^+ 型コンタクト領域18を形成し、ゲート絶縁膜14が p^+ 型コンタクト領域18と n^+ 型ソース領域17と交互に接するようにしてもよい。このようにして、 n^+ 型ソース領域17の一部をゲート絶縁膜14の側面に接触させることにより、オン抵抗の低下を図ることができる。

【0038】-第2実施例-

図10は、本発明による静電誘導半導体装置の第2実施例である静電誘導サイリスタを示す断面図である。なお、以下の説明において、上述の第1実施例と同様の構成要素については同一の符号を付してその説明を簡略化する。

【0039】本実施例では、 p^+ 型ドレイン領域12およびドレイン電極13がソース電極19と同一の側の表面に形成されており、 n^- 型ドレイン領域11の裏側には n^+ 型ドレイン領域23およびドレイン電極24が形成されている。

【0040】従って、本実施例によっても、上述の第1実施例と同様の動作を行う静電誘導サイリスタを実現することができ、同様の効果を得ることができる。特に、本実施例では、ドレイン電圧が n^- 型ドレイン領域11と p^+ 型ドレイン領域12との間におけるビルドイン(内部)電圧(約0.6V)以下であるときに、 n^+ 型ドレイン領域23→ n^- 型ドレイン領域11→ n^+ 型ソース領域18という電流路を確保して、ユニポーラ動作を行うことによりオン抵抗の上昇を抑制することができる、という利点がある。

【0041】-第3実施例-

図11は、本発明による静電誘導半導体装置の第3実施例である静電誘導サイリスタを示す断面図である。本実施例では、上述の第1実施例における p^+ 型コンタクト

領域20に代えて、 n^+ -型ドレイン領域11とソース電極19とを直接接合させ、これらの間にショットキー接合25を形成している。従って、本実施例によっても、上述の第1実施例と同様の作用効果を得ることができる。

【0042】-第4実施例-

図11は、本発明による静電誘導半導体装置の第4実施例である静電誘導トランジスタを示す断面図である。本実施例では、上述の第1実施例における p^+ -型ドレイン領域12に代えて、 n^+ -型ドレイン領域11の裏側に n^+ -型ドレイン領域26を形成している。従って、本実施例によっても、上述の第1実施例と同様の作用効果を得ることができる。特に、本実施例の静電誘導トランジスタはユニポーラ動作を行うので、オン状態において n^+ -型ドレイン領域11が伝導度変調されず、ターンオフまでの時間が速い、という利点がある。

【0043】なお、本発明の静電誘導半導体装置は、その細部が上述の各実施例に限定されず、種々の変形例が可能である。

【0044】

【発明の効果】以上詳細に説明したように、請求項1の発明によれば、ゲート絶縁膜およびソース電極の双方に接する、ソース領域とは逆の導電形のコンタクト領域を設けた。また請求項2の発明によればドレイン領域の少なくとも一部が、ソース電極に直接接してショットキー接合を形成している。これによりターンオフ時においてソース領域近傍のドレイン領域に存在する多量の少数キャリアを、ゲート絶縁膜近傍の反転層を経てコンタクト領域、あるいはショットキー接合を介してソース電極に流すことができ、素速いターンオフが実現できて消費電力の低減を図ることができる。また、静的なオフ状態においてゲート絶縁膜近傍に形成される反転層もこのコンタクト領域あるいはショットキー接合に接しているの

で、反転層の電位がソース電極と同一の電位に固定される。これにより、ゲート絶縁膜にかかる電圧が一定に保持されて従来のような絶縁膜の静電破壊といった事態を*

*避けることができる。

【図面の簡単な説明】

【図1】本発明による静電誘導半導体装置の第1実施例である静電誘導サイリスタを示す断面図である。

【図2】ゲート絶縁膜間の距離の条件を説明するための図である。

【図3】チャネル長の条件を説明するための図である。

【図4】第1実施例の静電誘導サイリスタの製造方法を説明するための工程図である。

10 【図5】図2と同様の図である。

【図6】図3と同様の図である。

【図7】図4と同様の図である。

【図8】図5と同様の図である。

【図9】第1実施例の変形例を示す図であって、図1のA-A'線に沿う矢視断面図である。

【図10】本発明による静電誘導半導体装置の第2実施例である静電誘導サイリスタを示す断面図である。

【図11】本発明による静電誘導半導体装置の第3実施例である静電誘導サイリスタを示す断面図である。

20 【図12】本発明による静電誘導半導体装置の第4実施例である静電誘導トランジスタを示す断面図である。

【図13】従来の静電誘導サイリスタの一例を示す断面図である。

【符号の説明】

11 n^+ -型ドレイン領域

12 p^+ -型ドレイン領域

13、24 ドレイン電極

14 ゲート絶縁膜

15 ゲート電極

30 17 n^+ -型ソース領域

18 p^+ -型コンタクト領域

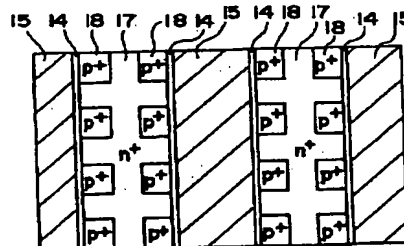
19 ソース電極

20 チャネル領域

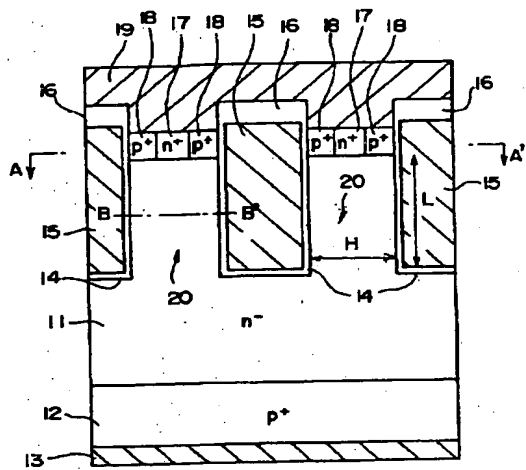
23、26 n^+ -型ドレイン領域

25 ショットキー接合

【図9】

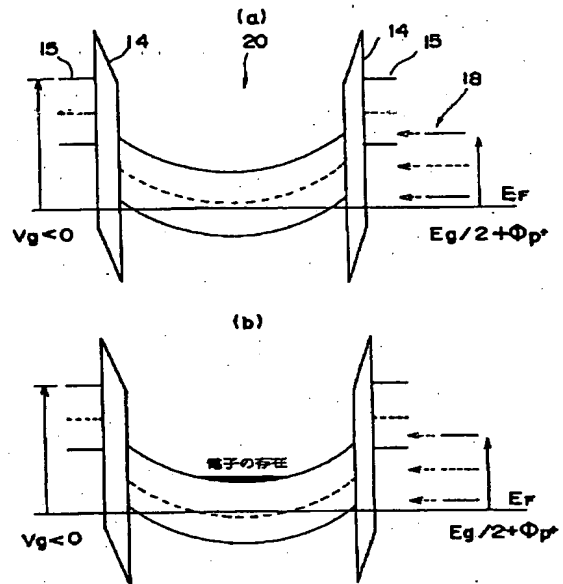


【図1】

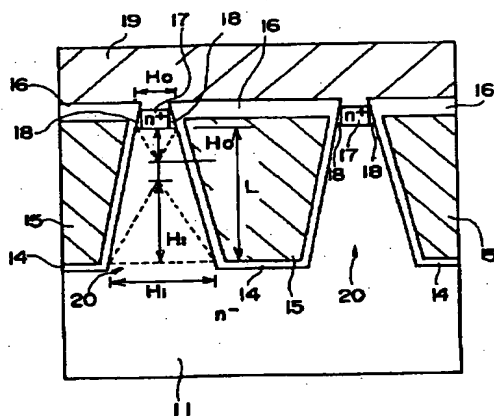


11: n⁻型ドレイン領域 17: n⁺型ソース領域
13: ドレイン電極 18: p⁺型コンタクト領域
14: ゲート酸化膜 19: ソース電極
15: ゲート電極 20: チャネル領域

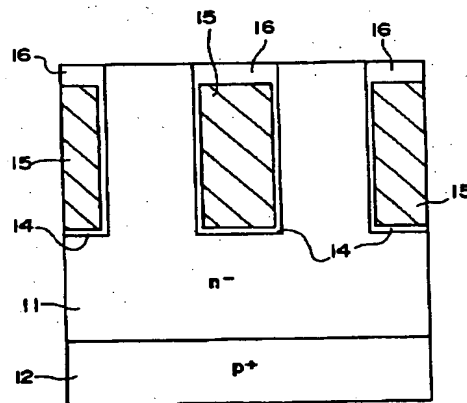
【図2】



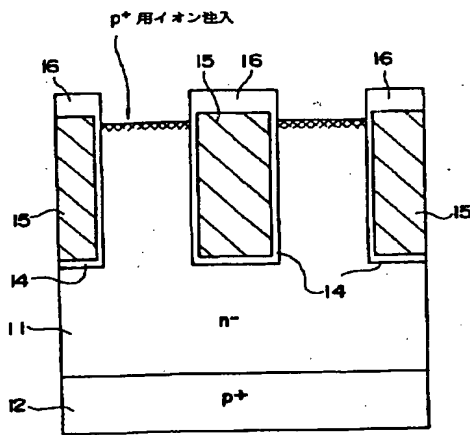
【図3】



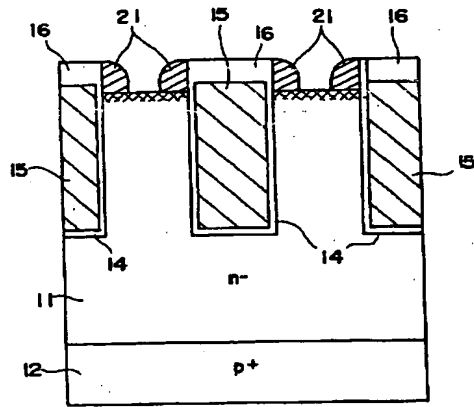
【図4】



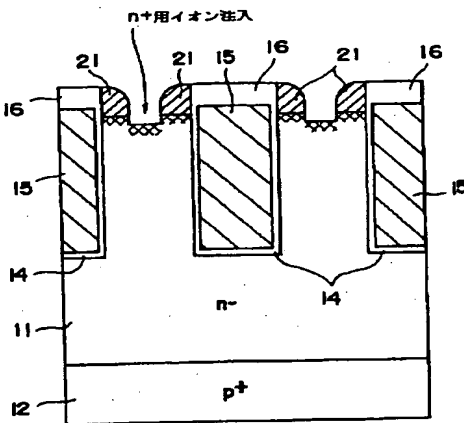
【図5】



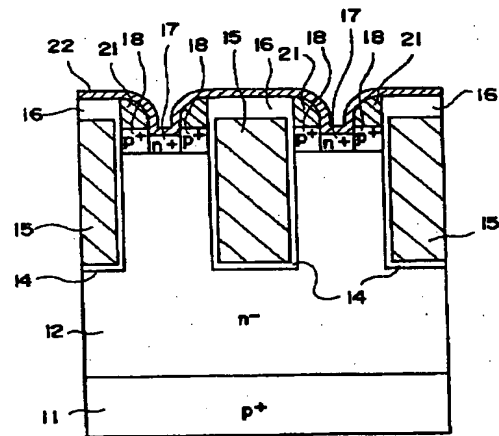
【図6】



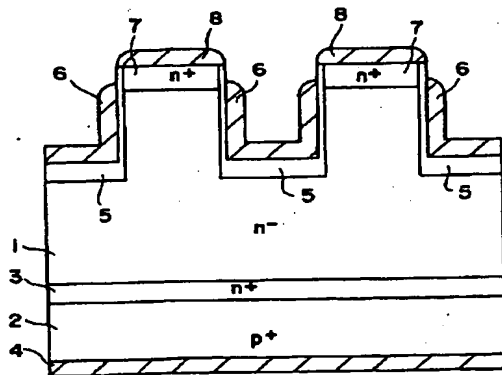
【図7】



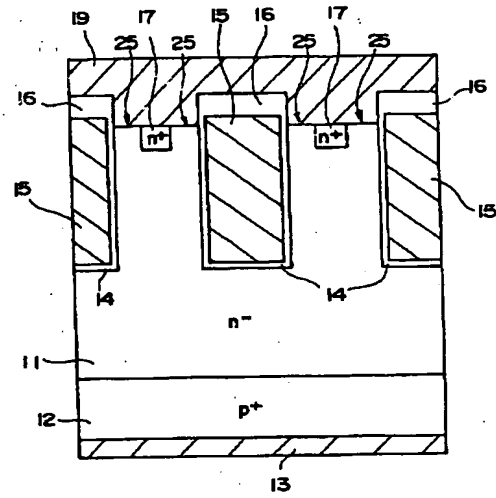
【図8】



【図13】



【图 11】



A cross-sectional view of a semiconductor device. It features a substrate 13 with a bottom layer 26 of n^+ type material. Above this is a layer 11 of n^- type material. Three gates 14 are formed on the n^- layer. Each gate consists of a central region 15 and side regions 16. The central regions 15 are doped with p^+ and n^+ layers. The side regions 16 are doped with p^+ and n^+ layers. The gates are separated by insulating regions 17. The top surface is covered by a layer 19.